

Docket No.: 67161-065

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takanobu SUZUKI

Serial No.: : Group Art Unit:

Filed: July 28, 2003 : Examiner:

For: SYNCHRONOUS SEMICONDUCTOR MEMORY DEVICE ALLOWING ADJUSTMENT OF
DATA OUTPUT TIMING

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

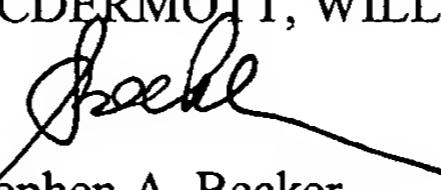
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-038709, filed February 17, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 28, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-065
Takanobu Suzuki
July 28, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2003年 2月17日

出願番号
Application Number:

特願2003-038709

[ST.10/C]:

[JP2003-038709]

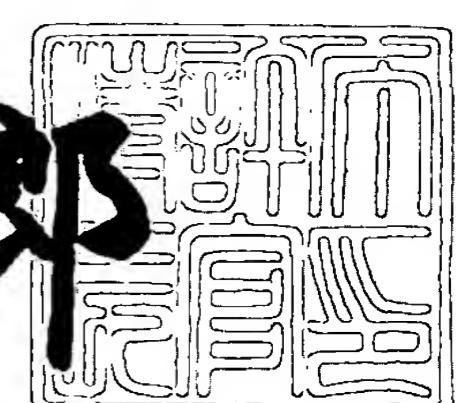
出願人
Applicant(s):

三菱電機株式会社

2003年 3月14日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016312

【書類名】 特許願
【整理番号】 542804JP01
【提出日】 平成15年 2月17日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/34
G11C 11/407

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 鈴木 隆信

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期型半導体記憶装置

【特許請求の範囲】

【請求項1】 クロック信号に同期して動作する同期型半導体記憶装置であつて、

複数のメモリセルが配置されたメモリセルアレイと、

前記メモリセルアレイから複数個の読み出しデータをバースト読み出しし、前記複数個の読み出しデータのレベルをそれぞれ示す複数の読み出し指示を前記クロック信号に同期して順次生成する出力制御回路と、

順次生成された前記複数の読み出し指示の各々に応答して、データを出力するデータ出力回路と、

前記出力制御回路と前記データ出力回路との間に設けられ、前記出力制御回路によって生成された前記複数の読み出し指示の各々を前記データ出力回路へ伝達する伝達制御部と、

前記出力制御回路によって順次生成される前記複数の読み出し指示の各々が、前記複数個の読み出しデータのうちの第1番目および第2番目以降の読み出しデータのいずれに対応するかを判定する信号伝播制御回路とを備え、

前記伝達制御部は、前記信号伝播制御回路の判定結果に応じて、第1番目の前記読み出しデータに対応する前記読み出し指示を第1の伝達時間で前記データ出力回路へ伝達する一方で、第2番目以降の前記読み出しデータに対応する前記読み出し指示を第2の伝達時間で前記データ出力回路へ伝達する、同期型半導体記憶装置。

【請求項2】 前記第1の伝達時間は、前記第2の伝達時間よりも長い、請求項1に記載の同期型半導体記憶装置。

【請求項3】 前記データ出力回路と電気的に接続された第1のノードおよび第2のノードの各々を、前記バースト読み出しの開始前において、所定電圧にプリチャージするとともに、前記バースト読み出し開始後に前記第1のノードおよび前記第2のノードの各々を前記所定電圧から切離す電圧設定回路をさらに備え、

前記複数の読み出し指示の各々は、前記複数の読み出し指示の各々に対応する前記読み出しデータのレベルに応じて、相補的なレベルへ設定される第1の制御信号お

および第2の制御信号を含み、

前記伝達制御部は、前記出力制御回路によって生成された前記第1の制御信号および前記第2の制御信号を、前記信号伝播制御回路の前記判定結果に応じて、前記第1の伝達時間および前記第2の伝達時間のいずれか一方で、前記第1のノードおよび前記第2のノードへそれぞれ伝達し、

前記信号伝播制御回路は、前記第1のノードおよび前記第2のノードの電圧に基づいて、前記出力制御回路によって生成される前記第1の制御信号および前記第2の制御信号が、前記第1番目の読み出しデータおよび前記第2番目以降の読み出しデータのいずれかに対応するかを判定する判定部を含む、請求項1に記載の同期型半導体記憶装置。

【請求項4】 前記判定部は、

前記第1のノードの電圧と前記第2のノードの電圧との論理演算結果に応じた判定信号を出力する論理回路と、

前記出力制御回路が前記第1の制御信号および前記第2の制御信号を生成してから次の前記第1の制御信号および前記第2の制御信号を生成する間のタイミングで、前記論理回路からの前記判定信号を前記伝達制御部へ伝達する伝達回路とを有し、

前記伝達制御部は、前記伝達回路からの前記判定信号に応じて、前記第1の伝達時間および前記第2の伝達時間を切替える、請求項3に記載の同期型半導体記憶装置。

【請求項5】 前記伝達制御部は、

前記第1の伝達時間および前記第2の伝達時間の差に相当する遅延時間を付与するための遅延回路と、

前記信号伝播制御回路の前記判定結果に応じて、前記第1番目の前記読み出しデータに対応する読み出し指示については、前記遅延回路を通過させた上で前記データ出力回路へ伝達する一方で、前記第2番目以降の前記読み出しデータに対応する読み出し指示については、前記遅延回路をバイパスさせて前記データ出力回路へ伝達する経路スイッチとを有し、

前記遅延回路の前記遅延時間は、外部入力によって不揮発的に調整可能である

、請求項1に記載の同期型半導体記憶装置。

【請求項6】 前記遅延回路は、各々が所定の駆動力を有する、並列接続された複数のCMOSインバータによって構成された少なくとも1つの伝播時間調整回路を有し、

前記複数のCMOSインバータの各々は、前記外部入力に応じて前記並列接続から切離される、請求項5に記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同期型半導体記憶装置に関し、より特定的にはバースト読み出し動作におけるデータ出力タイミングの相違を解消可能な同期型半導体記憶装置に関する。

【0002】

【従来の技術】

同期型半導体記憶装置に対する高周波動作化の要求に伴って、外部クロック信号の立上がりエッジと立下がりエッジとに同期して外部とデータのやり取りを行なうダブルデータレートSDRAM (Double Data Rate Synchronous Dynamic Random Access Memory: 以下、DDR-SDRAMと称する。) が開発され、実用化されている。

【0003】

DDR-SDRAMは、外部クロック信号の立上がりエッジまたは立下がりエッジのいずれか一方に同期して動作するSDRAMと比較して、約2倍の速度でデータの読み出しおよびデータの書き込みを行なうことが可能である。

【0004】

しかし、DDR-SDRAMは、非常に高速で動作するため、特に外部クロック信号と1番目の出力データとのタイミング時間を規定したt_{LZ}および外部クロック信号と2番目以降の出力データとのタイミング時間を規定したt_{AC}を規格値の範囲内に収めるには高精度にデータ出力のタイミングを調整する必要がある。

【0005】

そこで、DDR-SDRAMに対してではないが、同期型半導体記憶装置において、データ出力のタイミングを調整する技術が開示されている（例えば、特許文献1参照）。

【0006】

【特許文献1】

特開平11-86547号公報（第4-5頁、第2図）

【0007】

【発明が解決しようとする課題】

一般的に、DDR-SDRAMまたはSDRAM等の同期型半導体記憶装置におけるバースト読み出し動作においては、1番目のデータが出力されるまでの時間は、プリチャージレベル（ $V_{cc}/2$ ）からの電圧レベルの変化に要する時間に相当する。一方で、2番目以降のデータが出力されるまでの時間は、電源電圧 V_{cc} または接地電圧GNDからの電圧レベルの変化に要する時間に相当する。したがって、1番目のデータ出力タイミングは2番目以降のデータ出力タイミングより相対的に速くなる。

【0008】

特許文献1の技術は、SDRAMに対して、データ出力のタイミングを調整するためのものであるが、バースト読み出し動作における1番目のデータ出力タイミングと2番目以降のデータ出力タイミングとの相違を解消することについての対策については開示されていない。

【0009】

同期型半導体記憶装置におけるバースト読み出し動作において、すべてのデータ出力タイミングが同等であれば、データを取り込むクロック信号に対する所定のセットアップ時間および所定のホールド時間も一定となる。

【0010】

したがって、量産において、同期型半導体記憶装置内に設けられる外部にデータを出力するための回路（以下においては、データ出力回路群とも称する）内のデバイスの電気特性にはばらつきが生じ、セットアップ時間およびホールド時間に

多少誤差が生じても、同期型半導体記憶装置からの出力データをデータ読み取り装置が正常に読み取れる可能性は高い。

【0011】

しかし、データの当該出力タイミングが異なる場合、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にはらつきが生じると、データ信号を正確に受信するための所定のセットアップ時間と所定のホールド時間を十分に確保できなくなる可能性が高まる。したがって、データ読み取り装置が正常にデータを読み取れなくなる可能性が高くなる。従来においては、そのような製品は不良品とみなされる可能性が高く、製造歩留まりの低下を招いていた。

【0012】

この発明は、上記問題を解決するためになされたものであって、この発明の目的は、バースト読出しにおける、データの出力タイミングの相違を解消することで、製造歩留まりの向上を図ることが可能な同期型半導体記憶装置を提供することである。

【0013】

【課題を解決するための手段】

この発明に従う同期型半導体記憶装置は、クロック信号に同期して動作する同期型半導体記憶装置であって、複数のメモリセルが配置されたメモリセルアレイと、メモリセルアレイから複数個の読出しデータをバースト読出しし、複数個の読出しデータのレベルをそれぞれ示す複数の読出し指示をクロック信号に同期して順次生成する出力制御回路と、順次生成された複数の読出し指示の各々に応答して、データを出力するデータ出力回路と、出力制御回路とデータ出力回路との間に設けられ、出力制御回路によって生成された複数の読出し指示の各々をデータ出力回路へ伝達する伝達制御部と、出力制御回路によって順次生成される複数の読出し指示の各々が、複数個の読出しデータのうちの第1番目および第2番目以降の読出しデータのいずれに対応するかを判定する信号伝播制御回路とを備え、伝達制御部は、信号伝播制御回路の判定結果に応じて、第1番目の読出しデータに対応する読出し指示を第1の伝達時間でデータ出力回路へ伝達する一方で、

第2番目以降の読み出しデータに対応する読み出し指示を第2の伝達時間でデータ出力回路へ伝達する。

【0014】

【発明の実施の形態】

以下において、本発明の実施の形態について、図面を参照しながら説明する。なお、図中同一符号は同一または相当部分を示す。

【0015】

【実施の形態1】

図1は、同期型半導体記憶装置のシステムの概略を示したブロック図である。

【0016】

図1を参照して、同期型半導体記憶装置のシステムは、同期型半導体記憶装置1000と、DRAMコントローラ1100と、クロック発生器1200とから構成される。同期型半導体記憶装置1000には、DDR-SDRAMが一例として示されている。

【0017】

以下の説明において、先頭に記号“／”が付された信号は、当該“／”を付さない信号を反転した信号であるものとする。また、以下においては、信号およびデータ等の2値的な高電圧状態（たとえば、電源電圧Vcc）および低電圧状態（たとえば、接地電圧GND）を、それぞれ、HレベルおよびLレベルとも称する。

【0018】

DRAMコントローラ1100および同期型半導体記憶装置1000は、クロック発生器1200から出力される外部クロック信号CLKおよび／CLKに応じて動作する。

【0019】

DRAMコントローラ1100は、コントロール信号／RAS, ／CAS, ／WE, ／CS, DMおよびクロックイネーブル信号CKEと、アドレス信号A0～A12、バンクアドレス信号BA0～BA1とを同期型半導体記憶装置1000に送信する。さらに、DRAMコントローラ1100は、データ授受のタイミ

ングの基準となるデータストローブ信号DQSを同期型半導体記憶装置1000に送受信することにより、同期型半導体記憶装置1000からデータを読み出したり、同期型半導体記憶装置1000へデータを書込んだりすることが可能となる。

【0020】

同期型半導体記憶装置1000は、DRAMコントローラ1100からバースト読み出しの要求があると、連続したデータDQをDRAMコントローラ1100へ送信する。DRAMコントローラ1100は、クロック信号CLKに対して所定のセットアップ時間および所定のホールド時間が確保されると、正常にデータを受信できる。しかし、DDR-SDRAMにおいて、バースト読み出し動作を行なうと、1番目のデータの出力タイミングは、2番目以降のデータの出力タイミングより速くなる。

【0021】

そのため、外部クロック信号と1番目の出力データとのタイミング時間を規定したt_{LZ}は、外部クロック信号と2番目以降の出力データとのタイミング時間を規定したt_{AC}より小さくなる。t_{LZ}とt_{AC}との差が大きい場合、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にばらつきが生じると、データ信号DQを正確に受信するためのセットアップ時間とホールド時間を十分に確保できなくなる可能性が高まる。したがって、DRAMコントローラ1100においても、バースト読み出しにおいて正常にデータを受信できなくなる可能性が高まる。

【0022】

そこで、バースト読み出し動作におけるt_{AC}とt_{LZ}を同等とすることで、データ出力回路群内のデバイスの電気特性にばらつきが多少生じても、DRAMコントローラ1100が正常にデータを受信できるように構成された同期型半導体記憶装置1000の構成を以下に説明する。

【0023】

図2は、同期型半導体記憶装置1000の概略的な構成を示すブロック図である。

【0024】

図2を参照して、同期型半導体記憶装置1000は、外部クロック信号CLK, /CLK, クロックイネーブル信号CKEを受けるクロックバッファ10と、アドレス信号A0～A12およびバンクアドレス信号BA0, BA1を受けるアドレスバッファ20と、コントロール信号/CS, /RAS, /CAS, /WE, DMを受ける制御信号バッファ30とを含む。アドレスバッファ20および制御信号バッファ30は、クロックバッファ10の出力に同期して、アドレス信号やコントロール信号を取込む。

【0025】

同期型半導体記憶装置1000は、さらに、データ授受のタイミングの基準となるデータストローブ信号DQSを入出力するデータストローブバッファ120と、クロックバッファ10の出力に応じて内部クロック信号を発生するディレイロックドループ(DLL)回路110とを含む。

【0026】

同期型半導体記憶装置内部の信号伝搬遅延のため、外部クロック信号CLKに応じて入出力バッファ150がデータ出力を行なったのでは外部クロック信号CLKに対してデータ出力タイミングが遅れてしまう。これを防止するため、DLL回路110は、外部クロック信号CLK, /CLKに基づいてこれより内部の信号伝搬遅延に相当する時間だけ位相の早い内部クロック信号CLKOを生成して入出力バッファ150に供給する。

【0027】

同期型半導体記憶装置1000は、さらに、クロックバッファ10の出力に同期して、アドレスバッファ20、制御信号バッファ30の出力を受ける制御回路40と、制御回路40によって制御され、データの記憶を行なうメモリセルアレイ100と、外部とメモリセルアレイ100との間でデータの授受を行なう入出力バッファ150と、モードレジスタ50とを含む。

【0028】

メモリセルアレイ100は、各々に複数のメモリセルが配置された4つのバンク#0～バンク#3に分割される。

【0029】

入出力バッファ150は、DLL回路110からの内部クロック信号CLKOに同期して、バンクアドレス信号BA0, BA1に応じて選択されるメモリセルアレイ100のバンク#0～#3内の複数のメモリセルのうちの選択された1つのメモリセルのデータを外部に出力する。一方、入出力バッファ150は、データストローブバッファ120から与えられるデータストローブ信号DQSに同期して外部から入力されるデータを取り込む。

【0030】

モードレジスタ50は、制御回路40からの制御信号の組合せによって与えられるモードレジスタセットコマンドに応じて、その時に与えられているアドレス信号によって指定される動作モードを保持する。

【0031】

次に、入出力バッファ150の内部に設けられるバースト読み出しにおけるデータの出力タイミングを高精度に調整可能な構成をもったデータ出力回路について説明する。

【0032】

図3は、同期型半導体記憶装置1000において、出力バッファ150の内部に設けられるデータ出力制御回路200の構成を示す回路図である。

【0033】

図3を参照して、データ出力制御回路200は、メモリセルアレイ100からのデータを出力する際、内部クロック信号CLKOに同期して動作する出力制御回路250と、遅延制御部210と、遅延制御部220と、信号伝播制御回路230と、データ出力回路240と、データ線#D1と、データ線#D2とを含む。

【0034】

出力制御回路250は、メモリセルアレイ100からの読み出しデータのレベルに基づいて、データ出力回路240から出力するデータ信号DQのレベルを設定するための制御信号ZRDH0, ZRDLOを出力する。データ出力回路240からデータ信号DQを出力する際は、制御信号ZRDH0および制御信号ZRD

L0は、互いに相補なレベルに設定される。一方、データ出力回路240からデータ信号DQを出力しない場合は、データ出力回路240の出力をハイインピーダンスにするために、制御信号ZRDH0および制御信号ZRDL0は共にHレベルに設定される。

【0035】

詳細は後述するが、遅延制御部210は、信号伝播制御回路230からの制御信号に基づいて、制御信号ZRDH0を異なった2つの伝播時間のいずれか1つの伝播時間で出力する。遅延制御部210から出力された信号は制御信号ZRDHとなる。制御信号ZRDHは、データ出力回路240へ入力される。同様に、遅延制御部220は、信号伝播制御回路230からの制御信号に基づいて、制御信号ZRDL0を異なった2つの伝播時間のいずれか1つの伝播時間で出力する。遅延制御部220から出力された信号は制御信号ZRDLとなる。制御信号ZRDLは、データ出力回路240へ入力される。

【0036】

データ出力回路240は、電源電圧Vccと接地電圧GNDとの間に直列に接続されたPチャネルMOSトランジスタ242およびNチャネルMOSトランジスタ243と、インバータ241とを有する。PチャネルMOSトランジスタ242のゲートへは、制御信号ZRDHが入力される。インバータ241は、制御信号ZRDLの反転レベルの信号を出力する。NチャネルMOSトランジスタ243のゲートへは、インバータ241の出力信号が入力される。

【0037】

したがって、データ出力回路240は、制御信号ZRDHおよびZRDLがそれぞれHレベルおよびLレベルに設定されている場合は、ノード#DからLレベルのデータ信号DQを出力する。一方、データ出力回路240は、制御信号ZRDHおよびZRDLがそれぞれLレベルおよびHレベルに設定されている場合は、ノード#DからHレベルのデータ信号DQを出力する。

【0038】

信号伝播制御回路230は、NAND回路231と、インバータ232と、クロックドインバータ233と、ラッチ回路235とを有する。

【0039】

NAND回路231は、制御信号ZRDHおよびZRD Lの否定的論理積演算を行なった信号を出力する。インバータ232は、NAND回路231からの出力信号の反転レベルの信号を出力する。クロックドインバータ233は、Lレベルの内部クロック信号CLKOおよび/CLKOに応じて、インバータ232の出力信号の反転レベルの信号を出力する。

【0040】

ラッチ回路235は、インバータ236と、クロックドインバータ237とを有する。インバータ236は、クロックドインバータ233の出力信号の反転レベルの信号を伝播時間制御信号SIGとして出力する。クロックドインバータ237は、Hレベルの内部クロック信号CLKOおよびその反転信号/CLKOに応じて、インバータ236の出力信号の反転レベルの信号を出力する。したがって、ラッチ回路235は、クロックドインバータ237の2つの制御端子へHレベルの内部クロック信号CLKOおよび/CLKOがそれぞれ入力された場合、インバータ236に入力された信号の反転レベルの信号を一時的に保持する機能を有する。

【0041】

遅延制御部210は、ノード#1とノード#1aとの間にトランスマッショングート211を有する。トランスマッショングート211は、2つの制御端子にLレベルの伝播時間制御信号SIGおよびHレベルの伝播時間制御信号/SIGがそれぞれ入力されると、制御信号ZRDHOを制御信号ZRDHとして出力する。

【0042】

遅延制御部210は、さらに、ノード#1とノード#1aとの間に直列に接続された遅延回路212およびトランスマッショングート213を有する。遅延回路212の内部には、詳細は後述するが、制御信号ZRDHOを所定時間遅延させた信号を出力するための複数のインバータが設けられている。トランスマッショングート213は、2つの制御端子にLレベルの伝播時間制御信号/SIGおよびHレベルの伝播時間制御信号SIGがそれぞれ入力されると、遅延回路21

2の出力信号を制御信号ZRDHとして出力する。

【0043】

したがって、遅延制御部210は、伝播時間制御信号SIG, /SIGに応じて、制御信号ZRDH0のノード#1からノード#1aまでの伝播時間を変化させることができる。

【0044】

遅延制御部220は、ノード#2とノード#2aとの間にトランスマッショングート221を有する。トランスマッショングート221は、トランスマッショングート211と同様な機能を有するので詳細な説明は繰り返さない。

【0045】

遅延制御部220は、さらに、ノード#2とノード#2aとの間に直列に接続された遅延回路222およびトランスマッショングート223を有する。遅延回路222は、遅延回路212と同様な構成であるので詳細な説明は繰り返さない。トランスマッショングート223は、トランスマッショングート213と同様な機能を有するので詳細な説明は繰り返さない。

【0046】

したがって、遅延制御部220は、伝播時間制御信号SIG, /SIGに応じて、制御信号ZRDLOのノード#2からノード#2aまでの伝播時間を変化させることができる。

【0047】

データ線#D1は、ノード#1aとPチャネルMOSトランジスタ242のゲートとを電気的に接続する。したがって、データ線#D1は、遅延制御部210から出力された制御信号ZRDHをデータ出力回路240まで伝達する。

【0048】

データ線#D2は、ノード#1aとインバータ241とを電気的に接続する。したがって、データ線#D2は、遅延制御部220から出力された制御信号ZRDLOをデータ出力回路240まで伝達する。

【0049】

データ出力制御回路200は、さらに、電源電圧Vccとノード#1aとの間

に設けられたPチャネルMOSトランジスタ215と、電源電圧Vccとノード#2aとの間に設けられたPチャネルMOSトランジスタ216とを含む。

【0050】

PチャネルMOSトランジスタ215, 216のゲートへは、プリチャージ信号PRが入力される。したがって、プリチャージ信号PRがLレベルに設定されている場合においては、制御信号ZRDHおよびZRDLは、制御信号ZRDH0, ZRDL0の電圧レベルに関わらず、Hレベルに設定される。一方、プリチャージ信号PRがHレベルに設定されている場合においては、制御信号ZRDHおよびZRDLは、それぞれ制御信号ZRDH0および制御信号ZRDL0の電圧レベルに等しい。

【0051】

次に、遅延回路212の内部構成を説明する。

図4は、遅延回路212の内部構成を示す回路図である。

【0052】

図4を参照して、遅延回路212は、直列に接続されたn個の遅延素子212.1～212.nを有する。遅延素子212.1は、直列に接続されたインバータ217およびインバータ218を有する。遅延素子212.2～212.nの各々は、遅延素子212.1と同様な構成を有するので詳細な説明は繰り返さない。したがって、遅延回路212は、#1から#1aまでの制御信号ZRDH0の信号の伝播時間を遅延素子の数だけ長くすることができる。

【0053】

遅延回路222は、遅延回路212と同様な構成を有するので詳細な説明は繰り返さない。

【0054】

一般に、図3に示すデータ出力回路240内のPチャネルMOSトランジスタ242がターンオンしてデータ信号DQが出力される時間（以下においては、Hレベル出力時間と称する）と、NチャネルMOSトランジスタ243がターンオンしてデータ信号DQが出力される時間（以下においては、Lレベル出力時間と称する）とは、量産ばらつき等によって、必ずしも同等とはならない場合がある

。そのため、遅延回路212または遅延回路222内の遅延素子の数を調整することによって、後述する、バースト読み出し動作において1番目のデータのHレベル出力時間とLレベル出力時間とが同等となるように調整することもできる。

【0055】

図5は、同期型半導体記憶装置1000におけるバースト読み出し動作を説明する動作波形図である。

【0056】

本実施の形態における同期型半導体記憶装置1000においては、制御コマンドCOMが発行されてからデータが出力されるまでに必要なクロック数CLは“2”に設定されているとする。また、バースト読み出し動作においてメモリセルアレイ100から読み出されたデータは、“H, L, H, L, H, L”レベルの順であるとする。また、遅延回路212, 222において設定されている所定の伝播時間は、 t_{LZ} と t_{AC} とが等しくなるように設定されているとする。

【0057】

なお、本実施の形態においては、図1における同期型半導体記憶装置1000とDRAMコントローラ1100との間に、同期型半導体記憶装置1000から出力されるデータ信号DQを伝達するデータ線を1/2Vccにプリチャージする回路（図示せず）が設けられているとする。また、図5におけるDQは、当該データ線の電圧レベルを示したものとする。また、説明の都合上、データ信号DQがデータ出力回路240から出力された時刻は、同期型半導体記憶装置1000からデータ信号DQが出力され、当該データ線に伝達された時刻と等しいとする。

【0058】

次に、図2、図3および図5を参照して、同期型半導体記憶装置1000におけるバースト読み出し時の動作を説明する。時刻 t_1 において、制御コマンドの一つである読み出しコマンドREADが同期型半導体記憶装置1000に取込まれる。また、時刻 t_1 においては、データ出力制御回路200内のノード#1a, #2aは、プリチャージが行なわれているのでプリチャージ信号PRはLレベルに設定されているため、制御信号ZRDH, ZRD_LはHレベルとなる。そして、

時刻 t_2 において、メモリセルアレイ 100 内の所望のバンク内の複数のメモリセルのデータが連續して出力制御回路 250 へ入力され始める。同時に、出力制御回路 250 に入力されたデータを出力するためにプリチャージが解除される。したがって、プリチャージ信号 PR は H レベルに設定される。

【0059】

プリチャージが解除されても、制御信号 ZRDH, ZRDL はそれぞれ H レベルを維持するので、NAND 回路 231 の出力信号のレベルは L レベルに設定される。したがって、インバータ 232 の出力信号は H レベルに設定される。そして、時刻 t_3 において、内部クロック信号 CLKO が、L レベルになると、クロックドインバータ 233 は、インバータ 232 の出力信号の反転レベルの信号を出力するため、伝播時間制御信号 SIG は H レベルに設定される。その後、内部クロック信号 CLKO が H レベルになつても、制御信号 ZRDH, ZRDL の電圧レベルが変化するまでは、クロックドインバータ 233, 237 の動作により、伝播時間制御信号 SIG は H レベルに維持される。

【0060】

時刻 t_4 において、データ出力回路 240 からバースト読み出し動作における 1 番目のデータである H レベルのデータ信号 DQ を出力させるために、出力制御回路 250 から L レベルの制御信号 ZRDHO および H レベルの ZRDL0 が出力される。時刻 t_4 においては、伝播時間制御信号 SIG は H レベルに設定されているので、遅延制御部 210 内のトランスマッショングート 213 のみがターンオンする。同様に、遅延制御部 220 内のトランスマッショングート 223 のみがターンオンする。したがって、制御信号 ZRDHO は、ノード #1 から遅延回路 212 を介してノード #1a へ伝達されるため、遅延回路 212 において設定されている所定の伝播時間（例えば、時間 T1）でノード #1 からノード #1a まで伝達される。その結果、時刻 t_4 において、L レベルの制御信号 ZRDHO は、時刻 t_4 から時間 T1 が経過した後の時刻 t_5 において L レベルの制御信号 ZRDH となる。

【0061】

同様に、制御信号 ZRDL0 も、ノード #2 から遅延回路 222 を介してノー

ド#2aへ伝達されるため、遅延回路222において設定されている所定の伝播時間（例えば、時間T1）でノード#2からノード#2aまで伝達される。したがって、時刻t4において、Hレベルの制御信号ZRDLOは、時刻t4から時間T1が経過した後の時刻t5においてHレベルの制御信号ZRDLoとなる。データ出力回路240から1番目のデータ信号DQを出力させるための制御信号ZRDH0, ZRDLOが出力制御回路250から出力された時刻t4から、実際にデータ出力回路240のノード#Dの電圧レベルが変化し始める時刻t5までの時間がtLZとなる。

【0062】

時刻t5において、制御信号ZRDHがLレベルに設定され、制御信号ZRDLoがHレベルに設定されると、データ出力回路240は、時刻t6において、Hレベルのデータ信号DQを出力する。

【0063】

また、時刻t6において、内部クロック信号CLKOがLレベルになると、クロックドインバータ233はターンオンする。時刻t6においては、制御信号ZRDHはLレベルであり、制御信号ZRDLoはHレベルであるので、NAND回路231の出力信号のレベルはHレベルに設定される。したがって、伝播時間制御信号SIGはLレベルに設定される。すなわち、バースト読み出し動作において、1番目のデータのレベルを設定するための制御信号ZRDHおよび制御信号ZRDLoが互いに相補なレベルになった後、内部クロック信号CLKOがLレベルになると、伝播時間制御信号SIGはその後、信号伝播制御回路230の動作によりLレベルを維持する。

【0064】

伝播時間制御信号SIGがLレベルに設定されると、遅延制御部210内のトランスマッショングート213はターンオフし、トランスマッショングート211がターンオンする。同様に、遅延制御部220内のトランスマッショングート223はターンオフし、トランスマッショングート221がターンオンする。したがって、制御信号ZRDH0は、ノード#1からトランスマッショングート211を介してノード#1aへ伝達されるため、遅延回路212を介さない分だけ

ノード#1からノード#1aへ速く伝達される。

【0065】

同様に、制御信号ZRDLOも、ノード#2からトランスマッショングート221を介してノード#2aへ伝達されるため、遅延回路222を介さない分だけノード#2からノード#2aへ速く伝達される。

【0066】

時刻t7において、データ出力回路240からバースト読み出し動作における2番目のデータであるLレベルのデータ信号DQを出力するために、出力制御回路250からHレベルの制御信号ZRDHOおよびLレベルのZRDLOが出力される。

【0067】

Hレベルの制御信号ZRDHOは、トランスマッショングート211を介してHレベルの制御信号ZRDHとなる。一方、Lレベルの制御信号ZRDLOは、トランスマッショングート221を介してLレベルの制御信号ZRDLoとなる。したがって、データ出力回路240は、時刻8において、Lレベルのデータ信号DQを出力する。したがって、時刻t7から時刻t8までの時間T2が、2番目以降のデータをデータ出力回路240から出力する際に要する時間となる。また、時間T2は、例えばHレベルの信号がLレベルになるまでの時間、すなわち信号が反転レベルになるのに要する時間でもある。したがって、時間T2の半分の時間T2/2は、信号の電圧レベルが1/2VccからHレベルまたはLレベルになるまでの時間と等しい。

【0068】

時刻t9において、データ出力回路240からバースト読み出し動作における3番目のデータであるHレベルのデータ信号DQを出力するために、出力制御回路250からLレベルの制御信号ZRDHOおよびHレベルのZRDLOが出力される。したがって、データ出力回路240は、時刻t9から時間T2だけ経過した時刻にHレベルのデータ信号DQを出力する。ここで、遅延回路212, 222においてそれぞれ設定されている所定の伝播時間は、tLZとtACとが等しくなるように設定されているため、時刻t9から、時間T2/2が経過した時刻

t_{10} までの時間が t_{AC} となる。その結果、1番目のデータ信号DQがHレベルを維持する時間、2番目以降のデータ信号DQがLまたはHレベルを維持する期間は等しくなる。

【0069】

以上説明したように、実施の形態1に従う同期型半導体記憶装置1000は、バースト読み出し動作において、データ信号が電圧レベルを維持する期間を、読み出されたデータ信号の順番に関わらず一定とすることが可能となる。したがって、バースト読み出し動作において、同期型半導体記憶装置1000から出力されるデータ信号のセットアップ時間およびホールド時間も一定となるため、同期型半導体記憶装置1000の外部に設けられたデータ読み取り装置等で、データ信号をより正確に読み取ることが可能となる。

【0070】

その結果、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にはばらつきが生じ、出力データのセットアップ時間およびホールド時間に多少誤差が生じた場合でも、データ読み取り装置が出力データを正常に読み取れる可能性が高くなる。したがって、従来、不良品とみなされる可能性が高かった製品が減少するため、製造歩留まりの向上を図ることができる。

【0071】

【実施の形態1の変形例1】

一般に、同期型半導体記憶装置は、量産において、デバイスの電気特性にはばらつきが生じる。そのため、同期型半導体記憶装置1000におけるデータ出力制御回路200内の t_{LZ} を調整するための遅延回路212の信号の伝播時間と遅延回路222の信号の伝播時間が同等にならなくなる場合がある。以下に、遅延回路の伝播時間を調整するための構成を説明する。

【0072】

図6は、実施の形態1の変形例1に従う同期型半導体記憶装置1000における入出力バッファ150の内部に設けられるデータ出力制御回路200aの構成を示す回路図である。

【0073】

図6を参照して、データ出力制御回路200aは、実施の形態1に従う図3に示すデータ出力制御回路200と比較して、遅延制御部210の変わりに遅延制御部210aを有する点と、遅延制御部220の変わりに遅延制御部220aを有する点とが異なる。それ以外の構成および機能は、データ出力制御回路200と同様なので詳細な説明は繰り返さない。

【0074】

遅延制御部210aは、遅延制御部210と比較して、遅延回路212の代わりに遅延回路212aを有する点が異なる。それ以外の構成および機能は、遅延制御部210と同様なので詳細な説明は繰り返さない。

【0075】

遅延制御部220aは、遅延制御部220と比較して、遅延回路222の代わりに遅延回路222aを有する点が異なる。それ以外の構成および機能は、遅延制御部220と同様なので詳細な説明は繰り返さない。

【0076】

次に、信号の伝播時間を調整する機能を有する遅延回路212aの内部構成を説明する。

【0077】

図7は、遅延回路212aの内部構成を示す回路図である。

図7を参照して、遅延回路212aは、直列に接続された伝播時間調整回路260およびインバータ219を有する。

【0078】

伝播時間調整回路260は、並列に接続されたn個のインバータ260.1~260.nを有する。インバータ260.1は、電源電圧Vccと接地電圧GNDとの間に直列に接続されたヒューズ61、PチャネルMOSトランジスタ62、NチャネルMOSトランジスタ63およびヒューズ61aを有する。インバータ260.2~260.nの各々は、インバータ260.1と同様な構成を有するので詳細な説明は繰り返さない。

【0079】

ノード#1からの信号は、インバータ260.1内のPチャネルMOSトラン

ジスタ62のゲートおよびNチャネルMOSトランジスタ63のゲートへ入力される。同様に、ノード#1からの信号は、インバータ260.2～260.nの各々が有するPチャネルMOSトランジスタのゲートおよびNチャネルMOSトランジスタのゲートへ入力される。インバータ260.1のPチャネルMOSトランジスタ62およびNチャネルMOSトランジスタ63の接続ノード#Nから出力される信号は、インバータ219によって反転レベルの信号としてトランスマッショングート213へ出力される。インバータ260.2～260.nの各々が有するPチャネルMOSトランジスタおよびNチャネルMOSトランジスタの接続ノードの出力される信号も同様に、インバータ219によって反転レベルの信号としてトランスマッショングート213へ出力される。

【0080】

インバータ260.1は、ヒューズ61, 61aが切断されていない場合、ノード#1から入力された信号の反転レベルの信号をインバータ219へ出力する。インバータ260.2～260.nも同様に、各々が有する2つのヒューズが切断されていない場合、インバータ260.1と同様にノード#1から入力された信号の反転レベルの信号をインバータ219へ出力する。

【0081】

したがって、伝播時間調整回路260内のインバータ260.1～260.nは、それぞれ並列に接続されていることとなる。そのため、インバータ260.1～260.nの各々が有している2つのヒューズ（以下においては、ヒューズ群と称する）をレーザ等により切断することにより、伝播時間調整回路260の駆動力を調整することができる。切断するヒューズ群が多いほど、伝播時間調整回路260の駆動力が小さくなる。一方、切断するヒューズ群が少ないほど、伝播時間調整回路260の駆動力が大きくなる。伝播時間調整回路260の駆動力が小さいほど、ノード#1から入力された信号がノード#Nから反転レベルの信号として出力されるまでの時間（以下においては、信号レベル変化時間とも称する）が長くなる。一方、伝播時間調整回路260の駆動力が大きいほど、信号レベル変化時間が短くなる。

【0082】

インバータ219は、ノード#Nから入力される信号の電圧レベルが所定のしきい値以下または以上になると、ノード#Nから入力される信号の反転レベルの信号を出力する。すなわち、インバータ219は、入力信号が所定のしきい値以下または以上であるかを判定可能な機能を有する。

【0083】

信号レベル変化時間が長いと、ノード#Nから出力された信号がインバータ219によって反転レベルの信号として出力されるまでの時間が長くなる。すなわち、遅延回路212aの信号の伝播時間が長くなる。

【0084】

一方、信号レベル変化時間が短いと、ノード#Nから出力された信号がインバータ219によって反転レベルの信号として出力されるまでの時間が短くなる。すなわち、遅延回路212aの信号の伝播時間が短くなる。

【0085】

また、遅延回路222aは、遅延回路212aと同様な構成および機能を有するので詳細な説明は繰り返さない。

【0086】

したがって、遅延回路212aまたは遅延回路222a内の切断するヒューズ群の数によって、遅延回路212aまたは遅延回路222aの信号の伝播時間を調整することが可能となる。

【0087】

以上説明したように、実施の形態1の変形例1に従う同期型半導体記憶装置1000においては、量産時においてデバイスの電気特性のばらつきが生じ、製品テスト後にt_{LZ}が設計値の範囲内に収まっていないことが判明しても、遅延回路212aまたは遅延回路222aの信号の伝播時間を調整することにより、t_{LZ}を設計値の範囲内に收めることができる。したがって、製造歩留まりの向上を図ることができる。

【0088】

なお、実施の形態1または実施の形態1の変形例1においては、同期型半導体記憶装置がDDR-SDRAMである場合の構成を代表的に説明したが、本願発

明の適用範囲は、同期型半導体記憶装置がDDR-SDRAMである場合に限定されるものではない。同期型半導体記憶装置が他の規格のメモリ（例えば、SDRAM）である場合においても、データ入出力回路にデータ出力制御回路200または200aを適用することにより、バースト読み出し動作におけるデータの出力タイミングの調整を行なうことが可能である。

【0089】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0090】

【発明の効果】

以上説明したように、本発明に従うと、同期型半導体記憶装置のバースト読み出しにおいて、第2番目以降の読み出しデータに対応する読み出し指示がデータ出力回路へ伝達される時間は、第1番目の読み出しデータに対応する読み出し指示がデータ出力回路へ伝達される時間よりも短い。したがって、中間電圧へプリチャージされた状態からの第1番目の読み出しデータ出力時と2番目以降の読み出しデータ出力時とにおける、データ出力タイミングの相違を解消できる。

【0091】

この結果、量産において、同期型半導体記憶装置内のデータ出力回路群内のデバイスの電気特性にばらつきが生じ、出力データのセットアップ時間およびホールド時間に多少誤差が生じた場合でも、外部に設けられたデータ読み取り装置が出力データを正常に読み取れる可能性が高くなる。したがって、従来は、不良品とみなされる可能性が高かった製品が減少するため、製造歩留まりの向上を図ることができる。

【図面の簡単な説明】

【図1】 同期型半導体記憶装置のシステムの概略を示したブロック図である。

【図2】 同期型半導体記憶装置の概略的な構成を示すブロック図である。

【図3】 同期型半導体記憶装置において、出力バッファの内部に設けられるデータ出力制御回路の構成を示す回路図である。

【図4】 遅延回路の内部構成を示す回路図である。

【図5】 同期型半導体記憶装置におけるバースト読み出し動作を説明する動作波形図である。

【図6】 実施の形態1の変形例1に従う同期型半導体記憶装置における出入力バッファの内部に設けられるデータ出力制御回路の構成を示す回路図である。

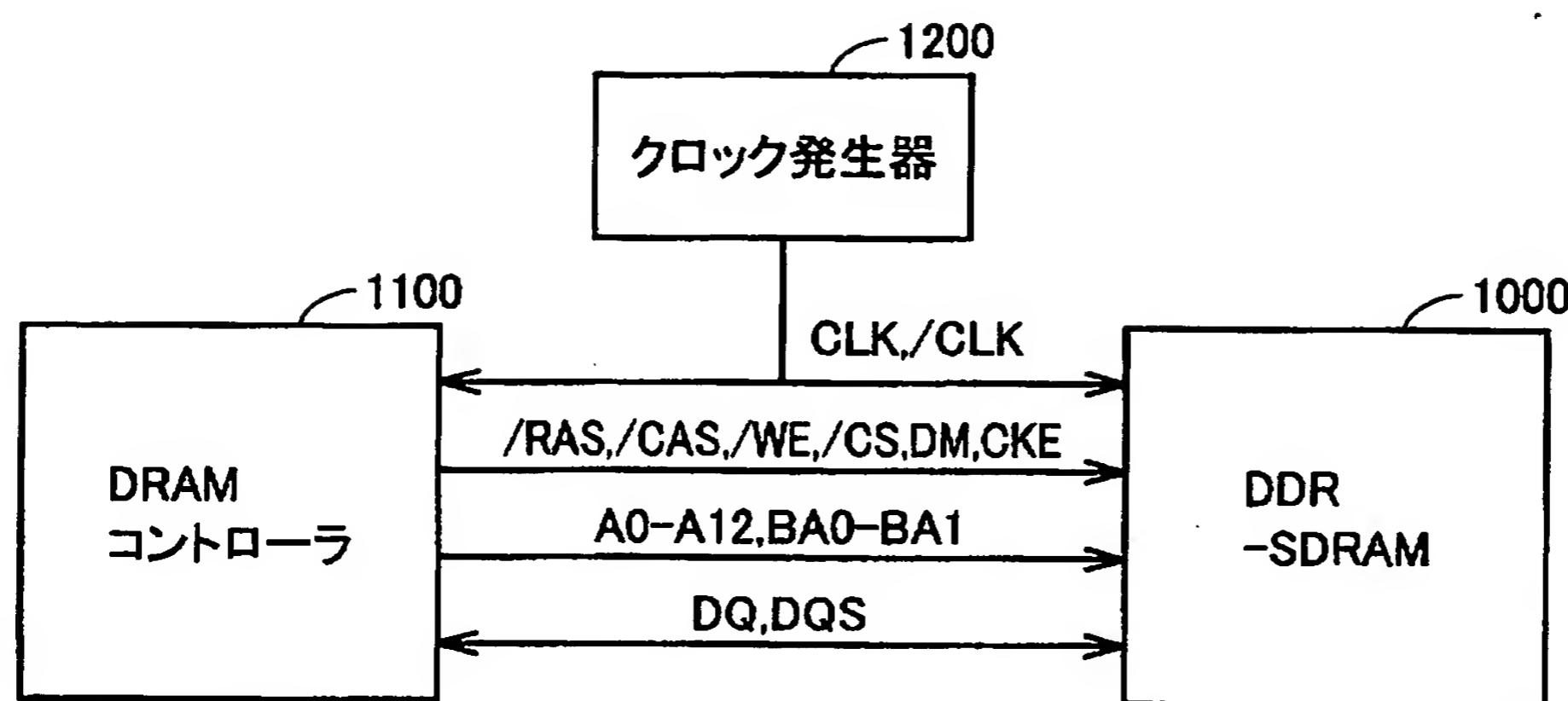
【図7】 遅延回路の内部構成を示す回路図である。

【符号の説明】

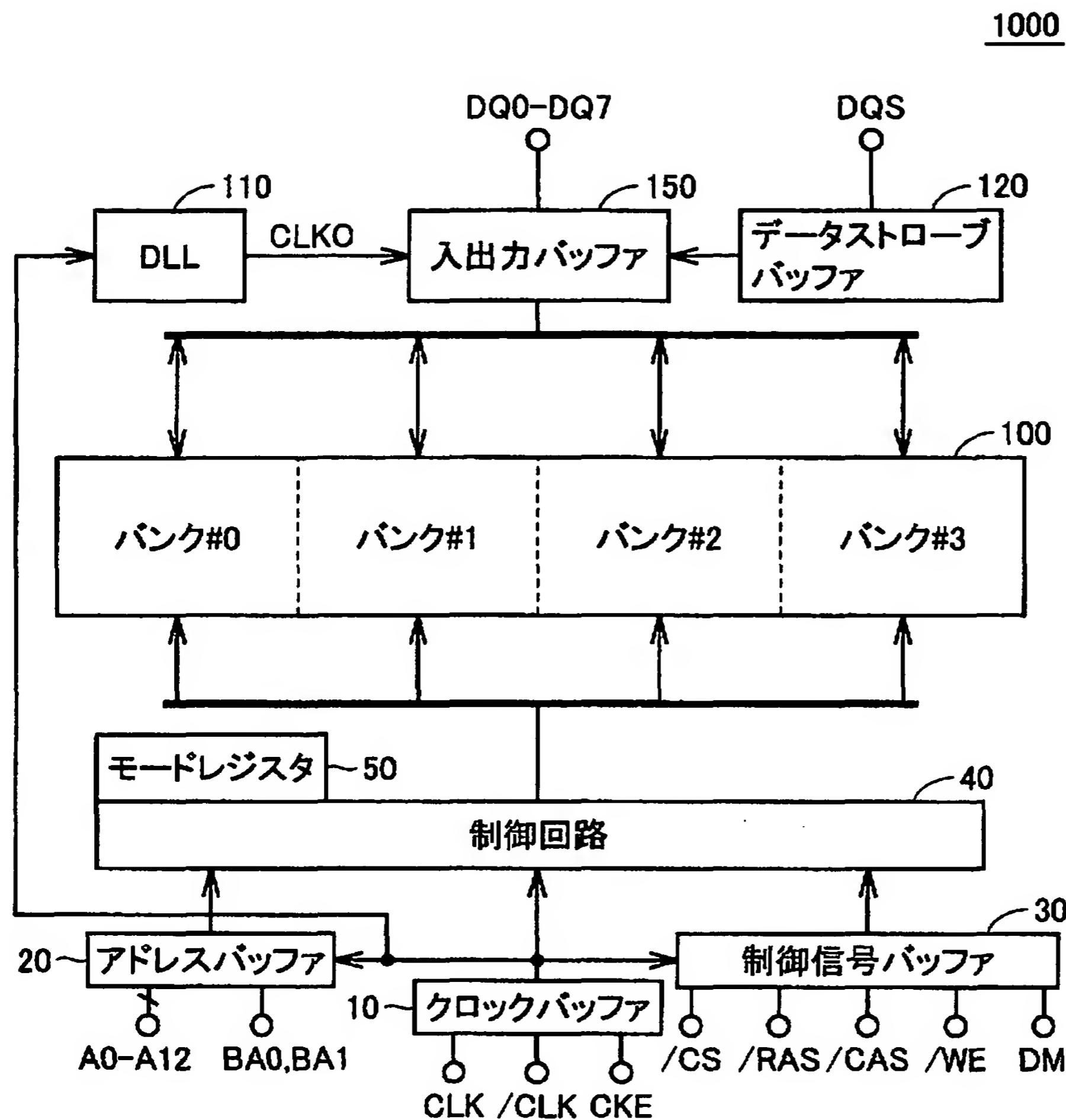
#D1, #D2 データ線、61, 61a ヒューズ、100 メモリセルアレイ、150 入出力バッファ、200 データ出力制御回路、210, 210a, 220, 220a 遅延制御部、211, 213, 221, 223 トランスマッシュゲート、212, 212a, 222, 222a 遅延回路、215, 216 PチャネルMOSトランジスタ、212. 1~212. n 遅延素子、219 インバータ、250 出力制御回路、230 信号伝播制御回路、240 データ出力回路、260 伝播時間調整回路、260. 1~260. n インバータ、1000 同期型半導体記憶装置、1100 DRAMコントローラ、1200 クロック発生器。

【書類名】 図面

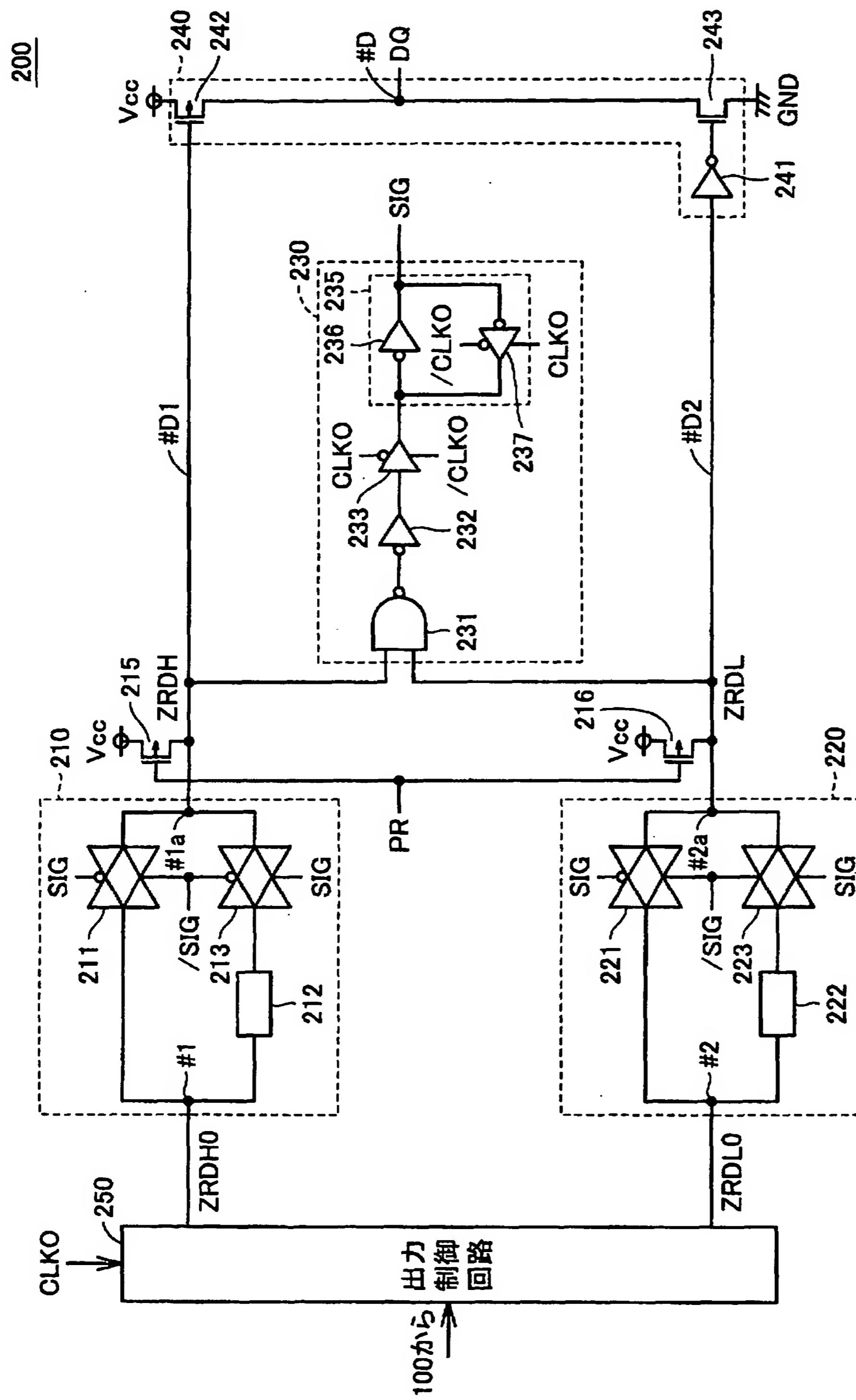
【図1】



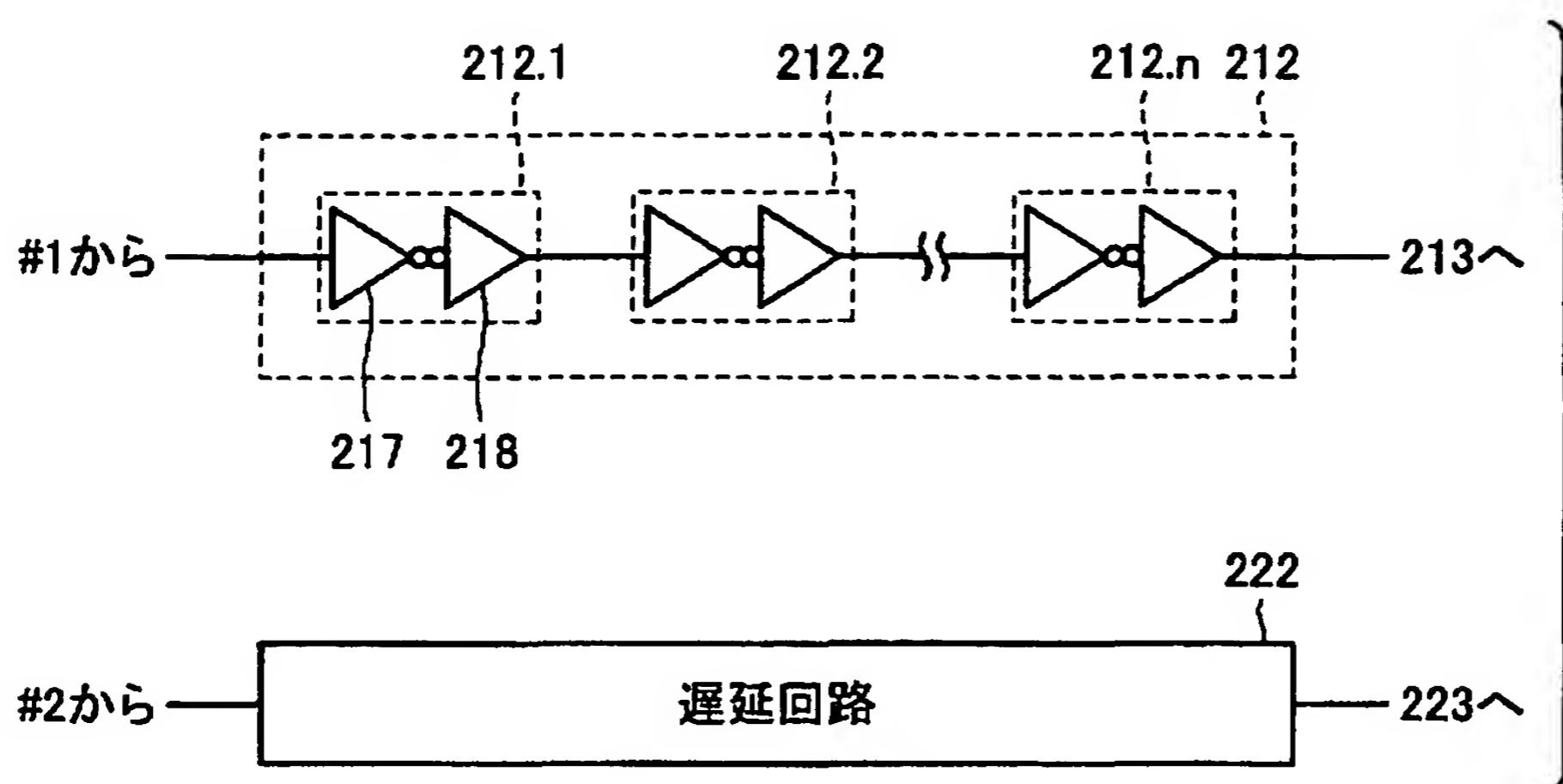
【図2】



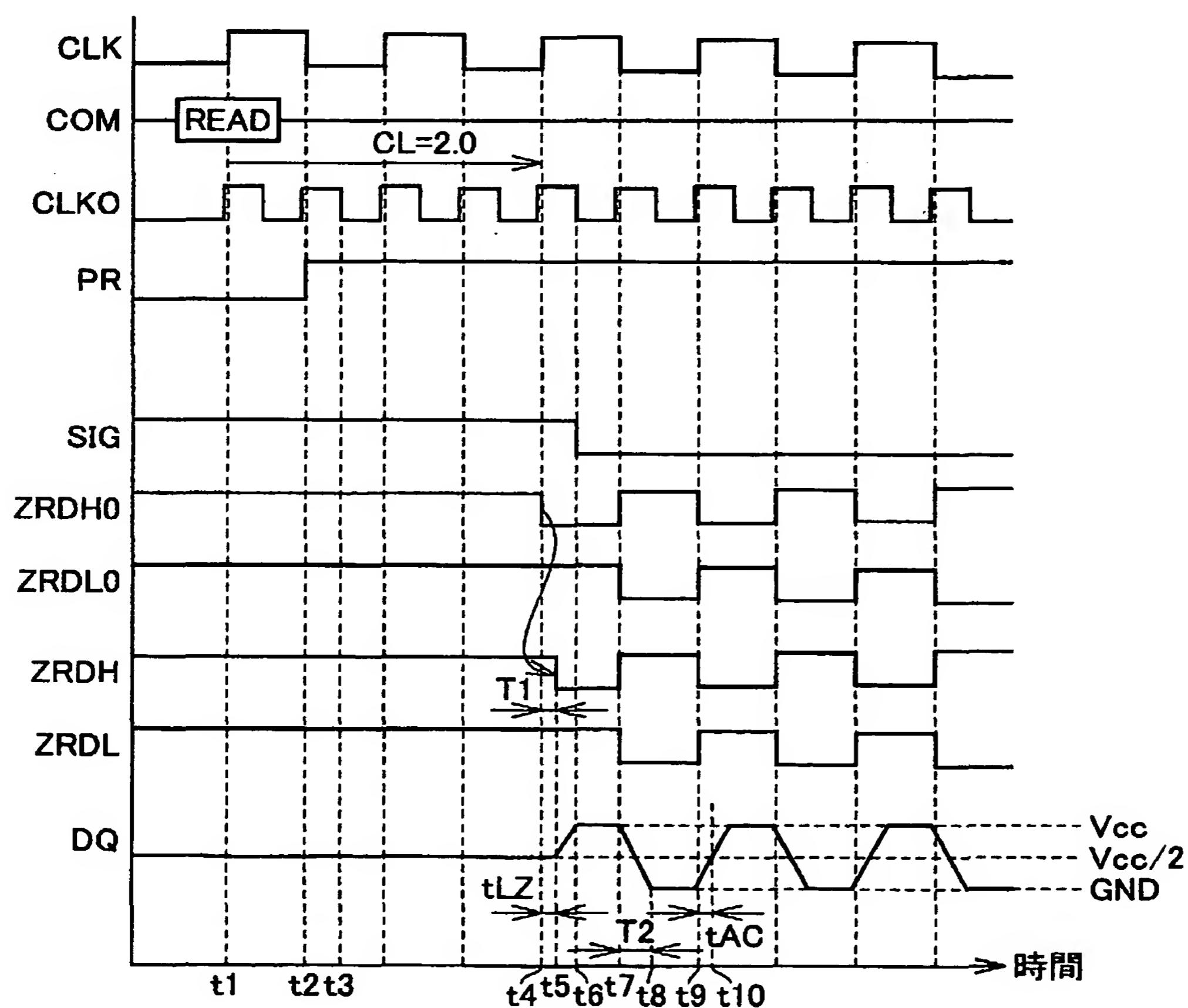
〔図3〕



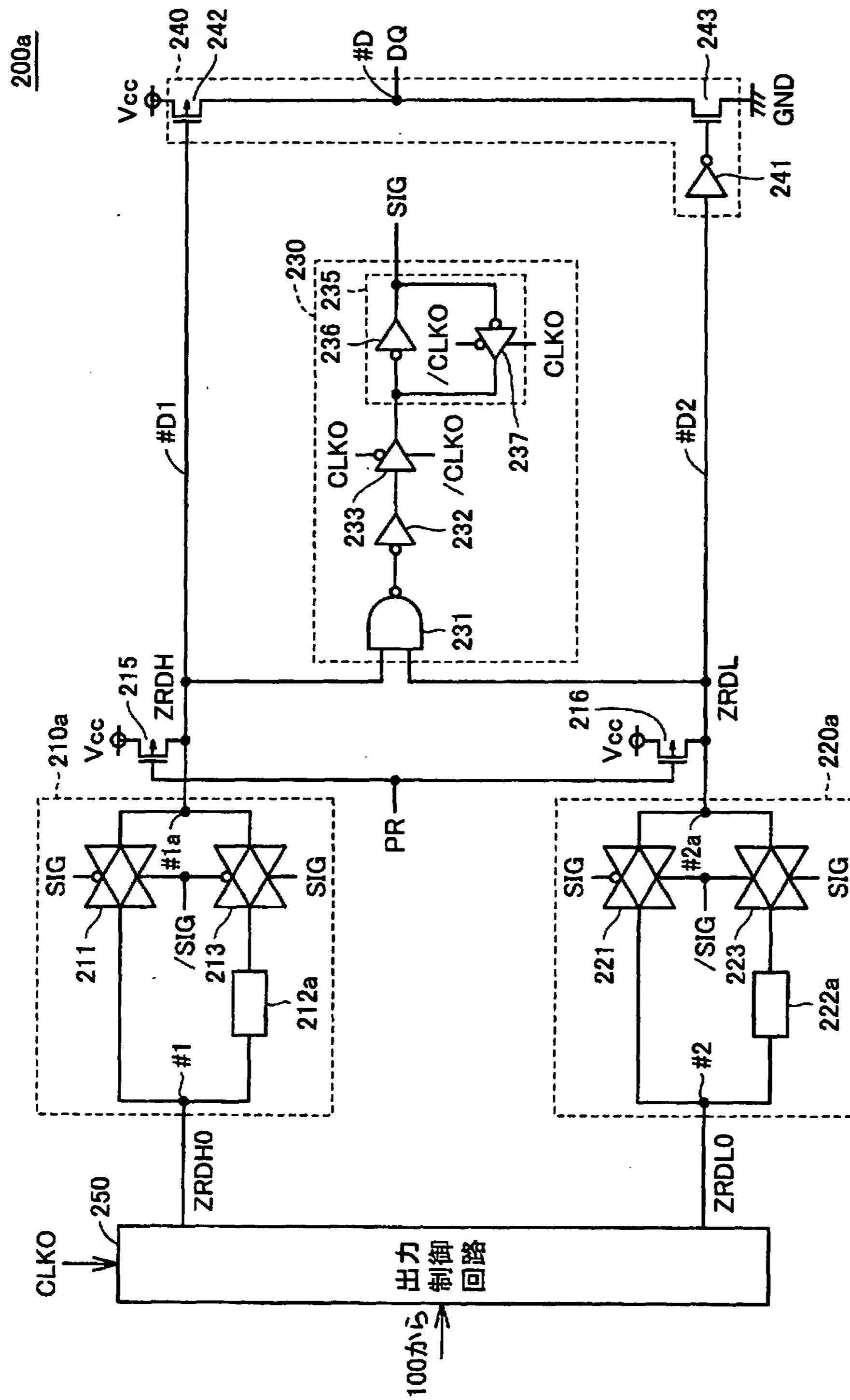
【図4】



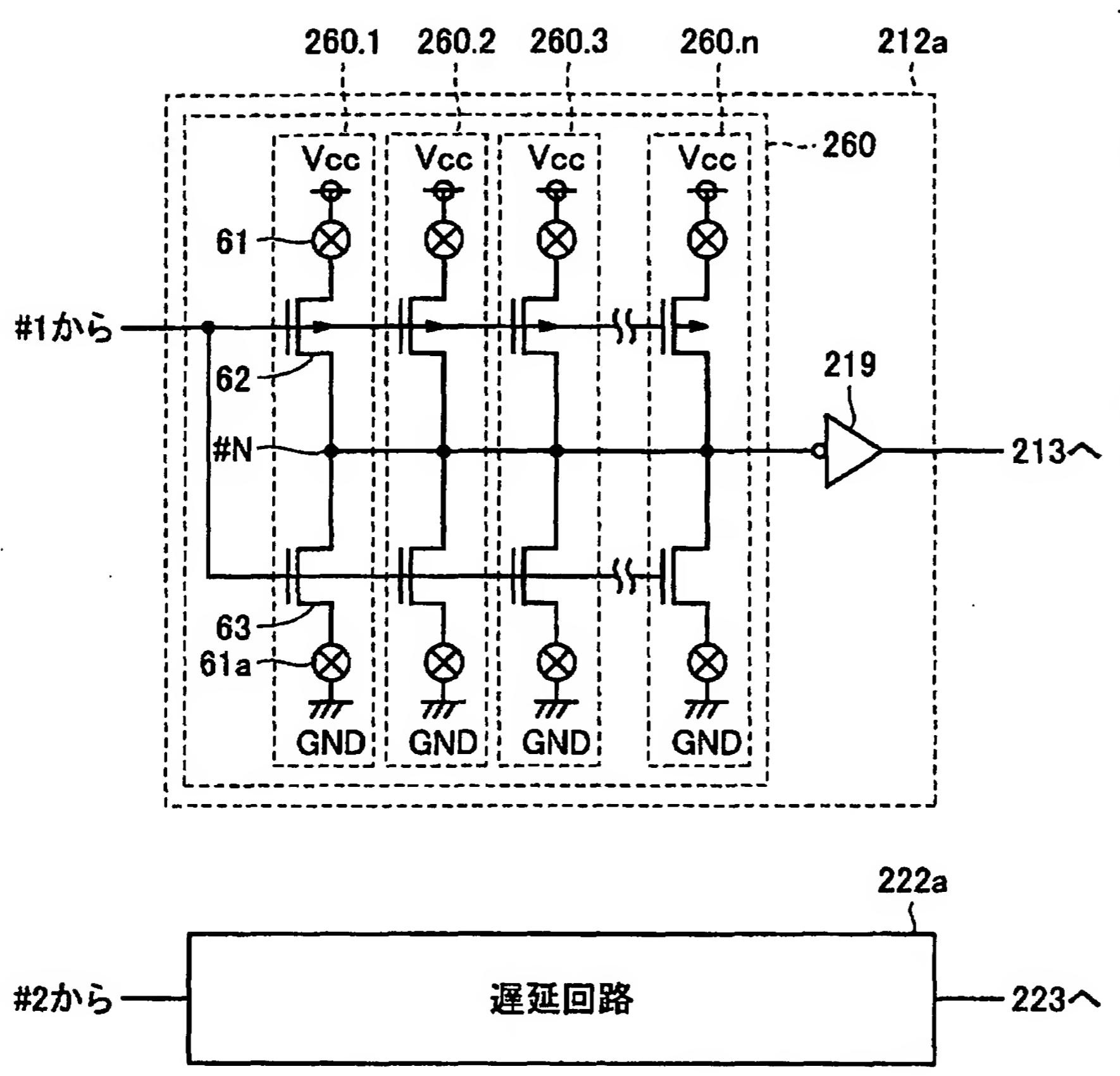
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 バースト読み出し動作におけるデータ出力タイミングの相違を解消可能な同期型半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ100のデータをバースト読み出しする際、データ出力回路240からデータを出力させるための制御信号ZRDH0および制御信号ZRDLOを、出力されるデータの順番に応じて、異なる伝播時間で伝達する遅延制御部210と遅延制御部220とを入出力バッファ150内に設ける。

【選択図】 図3

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社